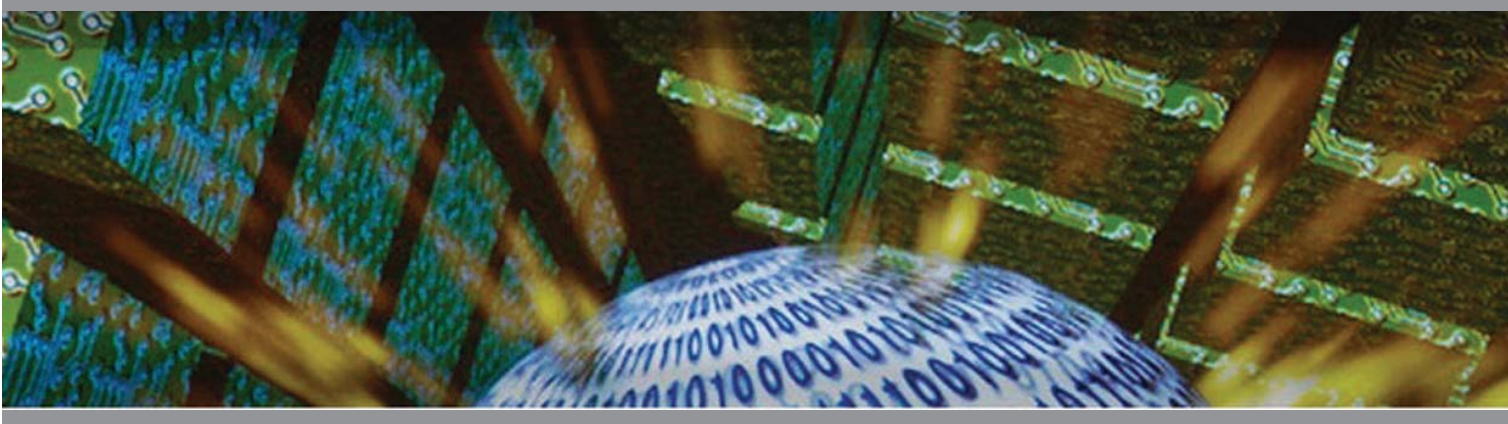


## 3D IC를 위한 유연한 테스트 전략



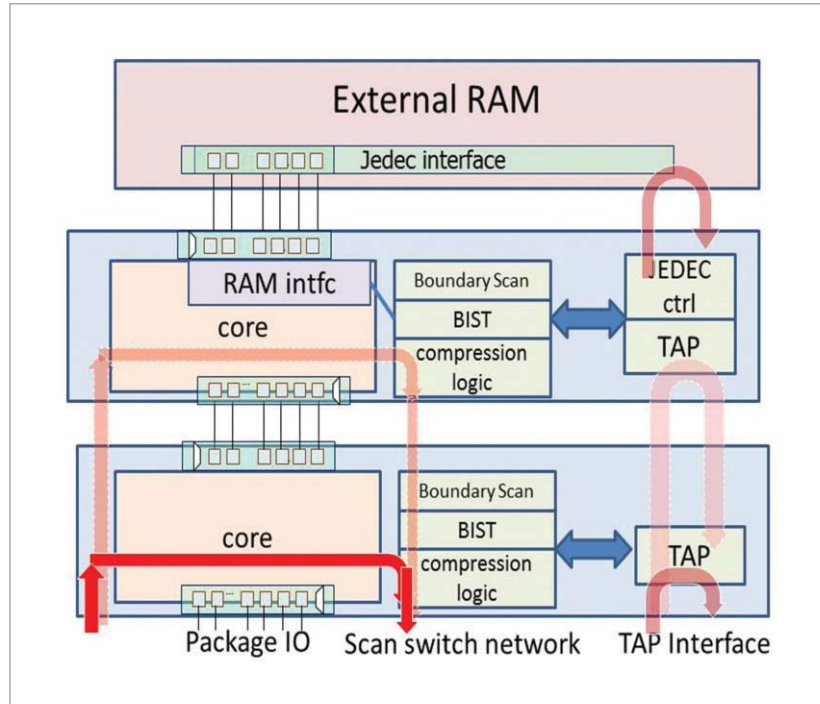
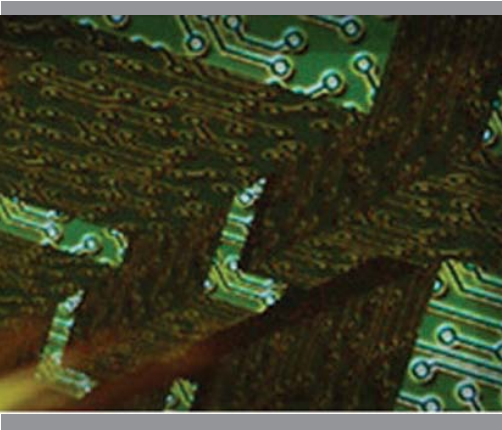
3D IC에 대한 테스트 전략의 기본 요건은 전통적인 IC와 마찬가지로 이식성과 유연성, 철저함이다. 이 글은 플러그-앤-플레이의 아키텍처를 활용한 효과적인 3D 테스트 전략에 대해 알아본다.

글 | 론 프레스(Ron Press) 실리콘 테스트 솔루션 제품 부문 기술 마케팅 디렉터  
 마틴 키임(Martin Keim) IJTAG 제품 부문 선임 기술 마케팅 엔지니어  
 에티엔 레이신(Etienne Racine) 실리콘 테스트 솔루션 제품 부문 기술 마케팅 엔지니어  
 멘토 그래픽스

반도체 업계는 한층 더 고성능과 저 전력소비, 향상된 수율을 약속하는 3D IC의 폭넓은 채택을 위해 박차를 가하고 있다. 진정한 3D IC의 일부는 아직 개발 중이지만, 현재 3D IC의 테스트를 위한 솔루션들은 이미 준비가 갖추어져 있다. 3D IC의 테스트 전략이 갖는 목표는 두 가지이다. 하나는 다이 레벨의 테스트 품질을 향상하는 것이고, 다른 하나는 스택드 다이 사이에 새로운 테스트들을 확립하는 것이다. 멘토는 플러그-앤-플레이 아키텍처를 토대로 3D IC의 테스트 전략을 선보이고 있다. 이 전략은 다이와 스택 및 부분적 스택 레벨의 테스트에서 같은 테스트 인터페이스를 사용하고, 다이 레벨의 테스트를 3D 스택 내부의

선택된 다이로 직접 리타겟팅할 수 있도록 해준다. 3D IC에 대한 테스트 전략의 기본 요건은 전통적인 IC와 마찬가지로 이식성과 유연성, 철저함이다. 멘토는 IEEE 1149.1(IJTAG) TAP를 모든 다이에서의 인터페이스로 사용하고, IEEE P1687(IJTAG) 네트워크 및 정의를 테스트 액세스에 사용하고 있다. 이유는 각 다이의 테스트 인터페이스가 IEEE 1149.1 TAP를 토대로 하는 것이 가장 일반적인 표준 디바이스 DFT 인터페이스이기 때문이다. 같은 TAP 구조가 모든 다이에 사용되므로 개별 웨이퍼레벨 다이는 물론, 패키징된 다이에 대해서도 테스트를 수행할 때 테스트 인터페이스는 어떠한 수정 없이 TAP를 거치게 된다.

다수의 다이가 3D 패키지에 스택킹 되어 있으면 제일 밑의 다이에 있는 TAP만이 외부의 ATE에 대한 인터페이스로 보이게 된다. 각각의 TAP는 특수한 명령어를 수용함으로써 스택 내의 다음 레벨에 있는 TAP를 활성화 하게 된다. 3D 패키지의 외부에서 볼 때, 예를 들어 보드 레벨 테스트의 경우, 3D 패키지는 제일 밑의 다이에 있는 TAP 하나만을 포함하는 것처럼 보인다(그림 1). 또한 각각의 다이는 IEEE P1687(IJTAG)를 이용하여 다이 내에 포함된 TAP와 테스트 액세스 네트워크 및 테스트 대상물을 모델화한다. IJTAG는 테스트 전략이 미래의 테스트 기능들에 부합된 최적의 수단을 제공한다. 이



[그림 1] 3D IC 테스트 솔루션의 전반적인 아키텍처 테스트는 맨 밑의 다이에 있는 TAP 구조를 통해 관리되며, 이것은 또 다시 스택 내의 그 다음 다이에 있는 TAP를 활성화하는 방식으로 계속된다. JEDEC 컨트롤러 하나가 Wide I/O 메모리 다이의 인터커넥트 테스트를 지원하는 데 사용된다.

것은 IEEE 1149.1 및 IEEE 1500 표준을 토대로 이들을 통합하고 있을 뿐만 아니라 개별적인 가능성 이상으로 확장해 나가고 있다.

### 프리패키지드 다이의 테스트 품질 향상

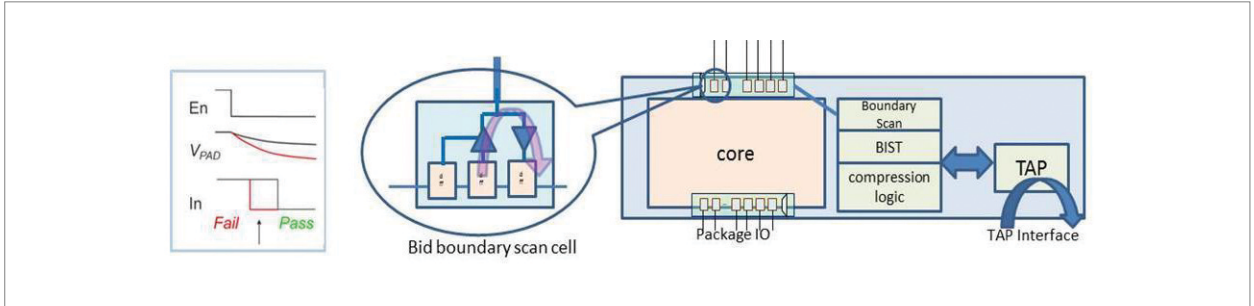
3D IC의 흥미로운 이점 중 한 가지는 수율이 향상된다는 것이다. 실리콘 면적은 수율 결정의 중요한 요소 중 하나이다. 즉 다이가 클수록 제조 결함이 포함될 확률은 커지는 것이다. 3D IC의 경우, 대형 다이가 요구되는 기능이 다수의 더 작은 다이들로 분할되며 이들은 개별적으로 테스트한 뒤에 한곳에 패키징된다. 결함이 있는 다이는 최종적인 스택드 패키지를 조립하기 전에 검출하

여 폐기할 수 있다. 따라서 분할되지 않았더라면 하나의 대형 다이 전체를 폐기해야 했겠지만, 그 대신 다수의 더욱 작은 다이 중 하나만을 폐기하게 된다. 스택 내에 결함이 있는 다이가 존재할 경우 그 결과는 매우 심각해 철저한 다이 레벨의 테스트가 매우 중요하다.

다이 테스트는 메모리를 위한 메모리 BIST(Built-In Self-Test), 임베디드 압축 ATPG 그리고 로직을 위한 로직 BIST와 다이 IO 테스트가 포함되어 있다. 메모리 BIST의 중요 기능 중 하나는 '소프트 프로그램 능력'으로서 이는 생산 시에 알게 된 메모리 테스트 결과에 따라 알고리즘을 선택 및/또는 프로그램할 수 있도록 해준다. 로직 테스트에 있어 좋은 옵션은 임베디드 압

축 ATPG와 로직 BIST의 통합 전략으로서 이것은 두 기능 모두에 대해 공통의 테스트 로직을 이용한다. ATPG는 표준적인 고착(stuck-at), 천이 및 경로 지연 테스트는 물론, 타이밍 인식, 셀 인식 및 기타 전문화된 종류의 테스트들과 같은 새로운 고급 테스트들을 위한 인프라도 제공한다. 로직 BIST 부분 자동차나 의료 애플리케이션용의 IC에 있어 특히 중요한 시스템 레벨 테스트를 가능하게 해준다.

다이 IO 테스트 인터페이스는 IEEE 1149.1 경계주사 기술을 토대로 하고 있다. 쌍방향 경계주사 셀은 모든 IO에 있으면서 'IO 랩(IO wrap)'이라고 하는 무접촉 테스트 기법을 지원한다. 그림 2는 IO 랩 테스트의 동작 방법을



[그림 2] 무접촉 테스트에는 IO 랩 테스트와 무접촉 누설 테스트가 포함된다. 쌍방향 경계주사 셀은 로직 값을 설정하고 드라이버를 3상화한 뒤, 과도한 누설의 발생 여부를 점검하기 위해 입력을 확인하고, 다시 0을 확인한다.

보여주는 예제이다. 이 같은 경계주사 로직을 사용하면 부분적으로 패키징된 디바이스에 대해, 그리고 패키징된 다이들 간의 인터커넥트에 대해 다이 레벨의 테스트를 수행할 수 있다. TAP와 경계주사 로직은 각각의 경계주사 셀 IO에 대해 인프라 테스트와 랩(wrap) 테스트를 수행한다. 무접촉 누설 테스트 기능도 포함되어 웨이퍼 및 기타 테스트를 수행할 때 TAP 신호만을 가지고도 다이 IO에 과도한 누설 전류가 있는지 테스트할 수 있다.

### 3D 스택에 대한 다이 레벨 테스트의 재사용

3D IC는 계층적 DFT 방법을 사용하기에 완벽한 애플리케이션이다. 설계 주기의 막바지에 가서 ATPG 테스트 패턴을 생성하는 대신, 대부분의 DFT 삽입과 ATPG가 준비되는 대로 개별 블록/칩 상에서 완료할 수 있다. 그리고 고는 소프트웨어 툴의 도움을 받아 코어 레벨의 ATPG 및 BIST 패턴들을 최상위 설계에 매핑하고 테스트 패턴들을 자동으로 리타겟팅할 수 있다. 리타겟팅 기능은 개별 다이용으로 작성한 패턴들을 3D IC로 리타겟팅할 수

있도록 해준다. 사실상 어떠한 다이를 위한 DFT 로직과 패턴들이라도 그 다이가 사용되는 모든 패키지로 리타겟팅할 수 있다. 따라서 그 다이가 다수의 패키지에 사용되었다면 DFT 삽입 및 ATPG 노력은 한 번밖에 필요하지 않으며, 그다음에는 그것이 사용되는 모든 플랫폼으로 리타겟팅할 수 있다. 계층적 테스트는 DFT 효율성을 향상시켜 워크스테이션의 메모리 부담을 줄이고, ATPG 런타임과 전체적인 테스트 시간을 단축함으로써 일정을 보다 예측할 수 있게 해준다.

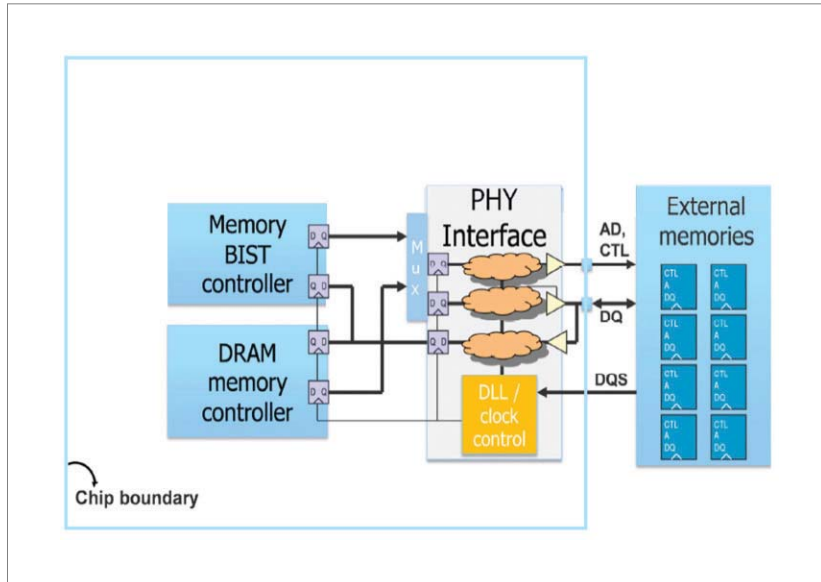
### 외부 DRAM의 테스트

오늘날 3D 패키지의 가장 보편적인 용도는 로직 다이에 스택되는 외부 메모리용이다. 이 메모리들은 대개 표준 프로토콜을 따르는 DRAM들이다. 멘토가 개발한 테스트 인터페이스 중 하나는 외부 Wide I/O DRAM의 JEDEC 표준 기능 핀들을 통해 이들을 액세스한다. 3D IC 메모리 BIST는 물리적 인터페이스 로직(PHY)을 포함하며 그림 3의 로직 다이 내부에 메모리 컨트롤러 다음으로, 그리고 PHY 및 그 관련 외부 메모리 바로 앞에 있다.

패키지에 외부 메모리를 사용하는 데 따른 이점은 비용이나 품질상의 이유로 다른 벤더들의 메모리로 교환할 수 있다는 것이다(즉 '2차 공급자'를 이용할 수 있다). 2차 공급자의 다이도 Wide I/O와 같은 같은 표준을 따른다면 해당 3D 패키지 내에서 여전히 문제없이 동작하게 된다. 벤더들이 달라도 메모리 핀-아웃과 동작 역시 동일하게 유지된다. 그러나 메모리 셀 내부의 물리적 레이아웃은 다를 수 있다. 이 경우에는 메모리 BIST 테스트 시에 의사 무작위 데이터 알고리즘을 이용할 수 있는데, 이 테스트는 메모리의 물리적 레이아웃을 모를 경우 이웃 패턴 감응 고장(NPSF) 감지 기능을 제공한다. 더욱 선별적인 테스트가 필요해질 경우에는 소프트 프로그램 능력을 갖춘 메모리 BIST 컨트롤러에 새로운 알고리즘들을 탑재할 수 있어 설계를 수정할 필요가 없다.

### 스택드 다이 간의 새로운 테스트

고품질의 다이 레벨 테스트를 확보한 뒤에 3D IC 테스트 방법론을 위한 두 번째 주요 요건은 조립된 3D 패키지 내의 스택드 다이 사이에 있는 인터



[그림 3] 외부 메모리에 대한 3D 테스트에는 메모리에 인터페이스되는 로직 다이에 BIST 로직을 배치하는 일이 수반된다. BIST 로직은 메모리에 대한 물리적(PHY) 인터페이스에 위치해 있다.

커넥트를 테스트하는 것이다. 멘토의 전략은 TSV를 포함하는 모든 로직 다이 IO의 경계주사 쌍방향 셀을 토대로 하고 있는데, 이들은 앞서 언급한 바 있는 무접촉 IO 랩 및 누설 테스트를 가능하게 한다. 테스트는 TAP를 통해 관리되며, JDEC 컨트롤러가 Wide I/O 메모리 다이의 인터커넥트 테스트를 지원한다. 우리는 JTAG를 이용해 경계주사 네트워크를 정의하고 테스트를 생성하고 있다.

조립된 3D IC를 인증하기 위해서는 일련의 순서화된 테스트들을 따라야만 한다. 이 테스트 시퀀스는 먼저 가장 단순한 테스트들로 3D IC를 검증하기 시작하는데, 이는 기본적인 결함들이 복잡한 결함들보다 발생하기 쉽기 때문이다. 그 후 앞의 테스트들이 합격이라면 그 복잡성을 점진적으로 높여나간다. 이 시퀀스에 대한 세부사항은 우리의 백서인 '3D IC의 플러

그-앤-플레이 테스트 전략(Plug-and-Play Test Strategy for 3D ICs)'에서 찾아볼 수 있다. [http://www.mentor.com/products/silicon-yield/techpubs/download/?id=82511&cmpid=8955]

이 모든 테스트를 통과한 뒤에는 패키징된 SOC와 Wide I/O 메모리 다이스의 모든 주요 부분들을 검증한다. 테스트들은 순서화된 시퀀스를 따라 점진적으로 적용되므로 이들 모두가 이전의 테스트 결과 양호한 것으로 확인된 로직에 의존한다. 따라서 감지되는 결함들의 위치는 해당 3D IC 디바이스에서 새롭게 테스트된 부분으로 국한된다.

여기서 개요를 설명한 테스트 전략이 지금은 유효하지만, 3D IC 테스트 전략과 테스트 요건 그리고 사용되는 외부 메모리의 종류는 지금도 계속 발전하고 있다. JTAG를 이용해 멘토의 테스트 아키텍처를 구조화하게 된 것

저 | 자 | 소 | 개

- **론 프레스(Ron Press)** 실리콘 테스트 솔루션 제품 부문 기술 마케팅 디렉터는 테스트 분야에서 수십 건의 논문을 발행했으며 국제 테스트 컨퍼런스(ITC) 운영 위원회의 회원이자 IEEE Computer Society의 Golden Core 회원이고 IEEE의 수석요원이기도 하다. 론 프레스 기술 마케팅 디렉터는 RPCT(reduced-pin-count testing)와 글리치 없는 클럭 스위칭에 대한 특허권을 보유하고 있다.

- **마틴 키임(Martin Keim)** 박사는 현재 ISTFA(International Symposium for Testing and Failure Analysis)의 조직 위원회에서 일하고 있으며 IEEE P1687 워킹 그룹의 정회원이기도 하다. 여러 건의 국내 및 국제 특허권을 보유하고 있으며 수많은 기술 간행물의 저자이다. 그는 독일의 알베르트-루트비히 대학교에서 정보학 박사 학위를 받았다.

- **에티엔 레아신(Etienne Racine)** 실리콘 테스트 솔루션 제품 부문 기술 마케팅 엔지니어는 보드 및 칩 레벨의 DFT 분야에서 15년 이상의 경험을 갖고 있으며 경력의 대부분을 메모리 및 혼성신호 코어용의 첨단 BIST 연구에 전념해왔다.

은 이 같은 유연성이 필요하기 때문이다. JTAG는 IEEE 1149.1 및 IEEE 1500과 같은 기존의 표준들과 관련 하드웨어를 지원한다. 그 폭넓은 정의는 여러 버전의 TAP, BIST 로직 및 기타 DFT 구조들도 지원할 수 있도록 해준다. 바로 이러한 플러그-앤-플레이의 유연성이 매력적이고 효과적인 3D 테스트 전략을 만드는 것이다. **ES**